

CLIPPEDIMAGE= JP358092230A

PAT-NO: JP358092230A

DOCUMENT-IDENTIFIER: JP 58092230 A

TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: June 1, 1983

INVENTOR-INFORMATION:

NAME

ISHIKURA, HIDENOBU

ASSIGNEE-INFORMATION:

NAME

MITSUBISHI ELECTRIC CORP

COUNTRY

N/A

APPL-NO: JP56191171

APPL-DATE: November 27, 1981

INT-CL (IPC): H01L021/60;H01L025/00

US-CL-CURRENT: 257/686,257/724 ,257/777

ABSTRACT:

PURPOSE: To permit high speed and to increase the reliability of a wiring connection and integration by a method wherein various kinds of semiconductor substrates having different sizes and projected electrodes formed on the main surfaces of integrated circuits are alternately and three dimensionally stacked by projected inter-electrode connections or connections between the rears of the semiconductor substrates.

CONSTITUTION: In the drawing, the numeral 1 is a ceramic substrate, 3 are internal leads, 4 are metallic leads such as gold wires, Al wires, 6 are pads formed by locating at the circumference sections on the

main surfaces of the semiconductor substrates, and 8 are projected electrodes formed on the main surfaces of the semiconductor substrates. Said substrates are the semiconductor substrates formed different sized memory circuits and the substrates are three dimensionally stacked on the ceramic substrate 1 in the order of larger semiconductor substrates. Electrical contacts are available for the integrated circuits on the semiconductor substrates through external and internal leads 3-gold wires 4 by electrical paths made by the combinations of interbumps 8-pads 6-gold wires 4 or interbumps 8-gold wires 4-pads 6 or the like.

COPYRIGHT: (C)1983,JPO&Japio

⑨ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭58—92230

⑤ Int. Cl.<sup>3</sup>  
H 01 L 21/60  
25/00

識別記号

庁内整理番号  
6819—5F  
7638—5F

⑬ 公開 昭和58年(1983)6月1日

発明の数 1  
審査請求 未請求

(全 4 頁)

⑭ 半導体装置

機株式会社エル・エス・アイ研  
究所内

⑯ 特 願 昭56—191171

⑰ 出 願 人 三菱電機株式会社

⑱ 出 願 昭56(1981)11月27日

東京都千代田区丸の内2丁目2  
番3号

⑲ 発 明 者 石倉秀信

伊丹市瑞原4丁目1番地三菱電

⑳ 代 理 人 弁理士 葛野信一 外1名

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

主表面の集積回路上に形成された突起電極を持つ大きさの異なる各種半導体基板を、突起電極間接続もしくは半導体基板の裏面間接続を交互に組合せて積み重ねたことを特徴とする半導体装置。

8. 発明の詳細な説明

この発明は機能素子を8次元的に積み重ねて、単位面積当りの集積度を高密度化することができる半導体装置に関するものである。

第1図は従来の半導体装置を示す断面図である。同図において、(1)はセラミック基板、(2)は該セラミック基板(1)上に形成されたメモリあるいは論理回路等を形成したチップ、(3)は内部リード、(4)はチップ(2)に形成したパッド(6)と内部リード(3)とを接続する金線もしくはAl線等の接続リード、(5)は前記内部リード(3)に接続する外部リード、(7)は封止蓋である。

このように、従来の半導体装置では1チップを1セラミック容器あるいは1プラスチックパッケージ内に収納し、金線(4)ー内部リード(3)ー外部リード(5)の経路で外部との電気的接続を与えていた。

従来の半導体装置は以上のように構成されているので、実装密度を上げる方法として、平面上に、配列するものであるため、その高密度化に限度がある欠点があった。

この発明は上記のような従来のものの欠点を除去するためになされたもので、主表面の集積回路上に形成された突起電極を持つ大きさの異なる各種半導体基板を、突起電極間接続もしくは半導体基板の裏面間接続を交互に三次元的に積み重ねることにより、高密度化された半導体装置を提供することを目的としている。

以下、この発明の一実施例を第2図において説明する。同図において、(1)はセラミック基板、(3)は内部リード、(4)は金線又はAl線等の金属リード、(6)は半導体基板(9-1~9-n)の主表面上の周辺部に位置して形成されたパッド、(8)は半

導体基板(9-1)～(9-n)の主表面上に形成された突起電極、(9-1)～(9-n)は大きさが異なる例えばメモリ回路を形成した半導体基板であり、同図に示されている如く、大きい半導体基板より順次、セラミック基板(1)上に三次元的に積み重ねられている。

以上、説明したように、パンプ(8)間—パッド(6)—金線(4)、又はパンプ(8)間—金線(4)—パッド(6)等の組み合わせによる電気経路により、半導体基板(9-1)～(9-n)上の集積回路は外部と内部リード(3)—金線(4)を通して電氣的接触をすることができ。

なお、上記実施例ではセラミック基板(1)と半導体基板(9-1)の裏面と接続しているが、セラミック基板(1)上にパンプを形成し、当パンプが半導体基板(例えば9-2)主表面上のパンプと直接接続してもよい。

また、第8図のように多層セラミック基板(10)上に、小さい半導体基板(11-1)～(11-n)を下にして順次、三次元的に積み重ねてもよい。

(11-1)～(11-n)…半導体基板、10…多層セラミック基板

代理人 葛 野 信 一

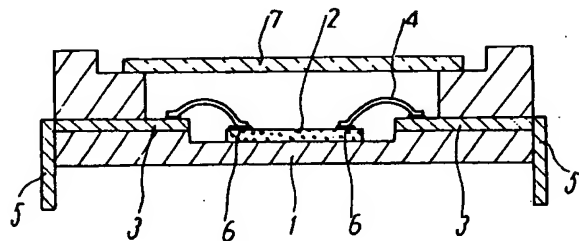
以上のように、この発明によれば各半導体基板を三次元的に積み重ねて配置するよう構成したので、(A)配線長が短くなるので、浮遊容量が低下し、高速化が可能になる。(B)各層の半導体基板がチップ段階でテストできるため、良品チップであることを確認できるので、N層積層しても高い良品率を維持することができる。(C)チップ間がフリップチップボンディングだから配線接続の信頼性が高い、(D)半導体基板を任意の数だけ積層することができるため、単位面積当りの集積度を高くすることができ、システム自体の容積を小さくすることができるなどの効果がある。

#### 4. 図面の簡単な説明

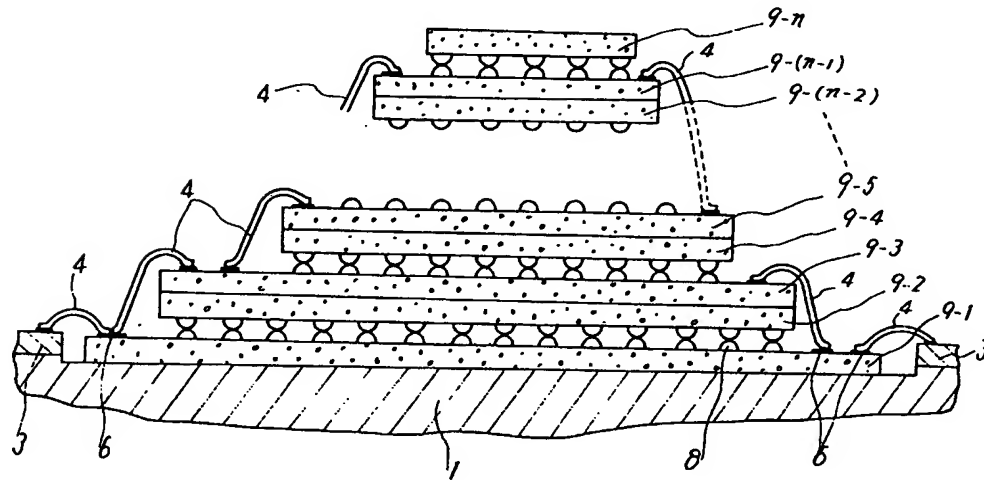
第1図は従来の半導体装置を示す断面図、第2図は本発明の一実施例による半導体装置を示す断面図、第8図はこの発明の他の実施例を示す断面図である。

(1)…セラミック基板、(2)…チップ、(3)…内部リード、(4)…金線、(5)…外部リード、(6)…パッド、(7)…封止蓋、(8)…突起電極、(9-1)～(9-n)。

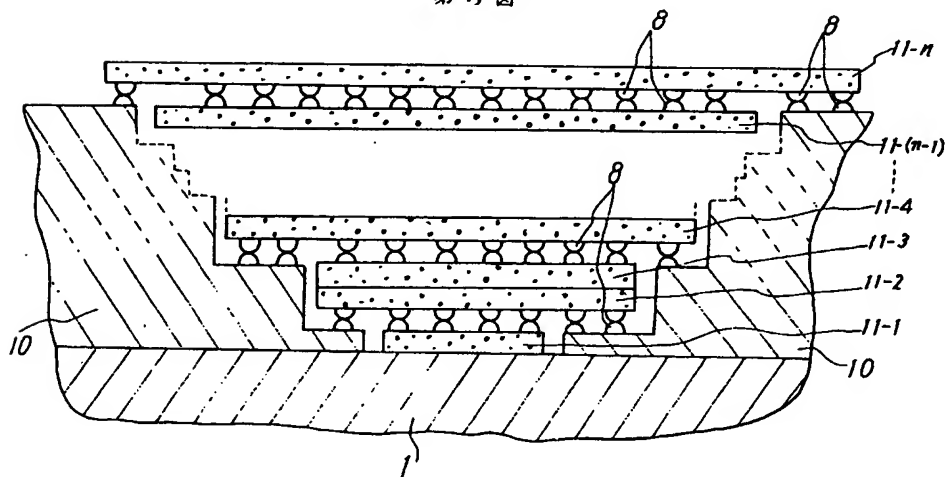
第1図



第 2 圖



第 3 圖



昭和 57 年 5 月 6 日

特許庁長官殿

1. 事件の表示 特願昭 58 - 191171 号

2. 発明の名称 半導体装置

3. 補正をする者

事件との関係 特許出願人  
住 所 東京都千代田区丸の内二丁目2番3号  
名 称 (601) 三菱電機株式会社  
代表者 池 田 貞 和  
片 山 仁 八 郎

4. 代 理 人  
住 所 東京都千代田区丸の内二丁目2番3号  
氏 名 (6699) 三菱電機株式会社内  
弁理士 葛 野 信  
(特許第 03/21333421 特許部)



5. 補正の対象

明細書の発明の詳細な説明の欄

6. 補正の内容

明細書をつぎのとおり訂正する。

ページ	行	訂 正 前	訂 正 後
2	19	半導体基板	回路素子が形成された チップ状の半導体基板
8	20	よい。	よい。但し第 8 図には 示されていないが、多 層セラミック基板 04 上 の各パンプ (8) は、パン プ間もしくは内部リー ドと所望の電気的接続 がなされ、その内部リー ドを介して外部リー ドと所望の接続ができ るものである。
4	5	チップ段階	ウエハ段階  以 上